

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平10-207434

(43)公開日 平成10年(1998)8月7日

(51)IntCl <sup>1</sup>	識別記号	F1
G09G 3/38		G09G 3/38
G02F 1/133	650	G02F 1/133 650

審査請求 未請求 請求項の数7 図1 (全6頁)

(21)出願番号 特願平9-13779

(22)出願日 平成9年(1997)1月28日

(71)出願人 585058006

株式会社アドバンスト・ディスプレイ

熊本県池田郡西台町御代志397番地

(72)発明者 岩尾 康敏

熊本県池田郡西台町御代志397番地 株

式会社アドバンスト・ディスプレイ内

(74)代理人 弁護士 大岩 増雄

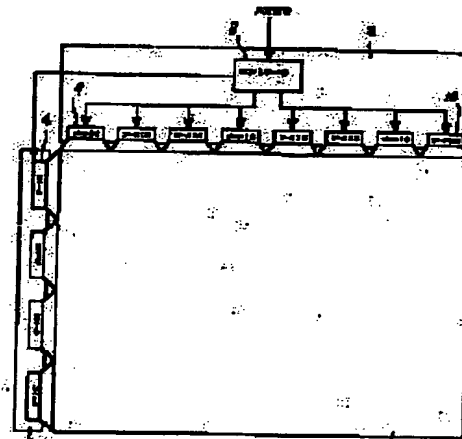
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 従来のアクティブマトリクス型液晶表示装置は、入力周波数のまま、ソースドライバIC2を駆動するため、EMIのノイズレベルが高く、FCCやCISPR等の規格をクリアするのに、大変な時間と努力を要した。

【解決手段】 コントローラIC8を、ソースバス基板3上に配置し、ソースバスを駆動するソースドライバIC9、10を、左右の2つのグループに分け、この2つのソースドライバIC9、10に対応して、コントローラIC8内に内蔵されたラインメモリを2つに分けて、一方のラインメモリは、水平周期の前半のデータすなわち画面上左半分のデータを記憶し、他方のラインメモリは、水平周期の後半のデータすなわち画面上右半分のデータを記憶すると共に、コントローラIC8は2つのラ

インメモリのデータを並列にソースドライバ9及びソースドライバ10に入力周波数の1/2の周波数で出力する。



1: 液晶表示装置  
2: ソースバス基板  
3: ソースバス基板  
4: コントローラIC8

【特許請求の範囲】

【請求項1】 複数の第一の信号線と複数の第二の信号線の交点にマトリクス状に配置されたスイッチング素子を有する画素部、この画素部の外周部の一边に配置され、 $N$ グループ( $N$ は2以上の整数)に分割されてそれぞれに対応する第一の信号線を各別に駆動する複数の駆動回路、この駆動回路の各分割グループに接続されると共に、外部から入力される信号の入力周波数を $1/N$ に分周して上記駆動回路に出力する制御回路を備え、制御回路は上記駆動回路が配置された上記画素部の外周部の同じ辺に配置され、制御回路と上記駆動回路を接続する複数の配線の一部と、残りの部分とが制御回路を挟んで互いに反対側に配置されていることを特徴とする液晶表示装置。

【請求項2】 制御回路は、外部から入力される信号を一時的に記憶するメモリを有していることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 制御回路のメモリは、 $N$ グループの駆動回路に対応して $N$ 個に分割され、一水平周期の信号を $N$ 個に分割して記憶することを特徴とする請求項2記載の液晶表示装置。

【請求項4】 制御回路は、分割された駆動回路グループ毎に、それぞれ対応する分割メモリに記憶された信号を入力周波数の $1/N$ の周波数で出力することを特徴とする請求項3記載の液晶表示装置。

【請求項5】 制御回路は、 $N$ グループの駆動回路に対応して $N$ 個に分割された1〜 $N$ 番目のメモリに、一水平周期の信号を $N$ 個に分割して順次書き込むと共に、 $N$ 番目の書き込み終了後に分割された駆動回路グループ毎に、それぞれ対応する分割メモリに記憶された信号を入力周波数の $1/N$ の周波数で並列に読み出すことを特徴とする請求項2記載の液晶表示装置。

【請求項6】  $N$ は、2であることを特徴とする請求項1〜請求項5のいずれか一項記載の液晶表示装置。

【請求項7】 制御回路は、画素部の外周部の駆動回路が配置された辺の中央部に配置されていることを特徴とする請求項1〜請求項6のいずれか一項記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジスタ(以下TFTという)を用いたアクティブマトリクス型液晶表示装置の駆動装置に関するものである。

【0002】

【従来の技術】図4は、従来の液晶表示装置を示す概略構成図である。図において、1は液晶表示パネル、2はソース配線を駆動するソースドライバIC、3はソースドライバIC2が取付けられたソースバス基板で、液晶表示パネル1の外周部の一边に配置されている。4はゲート配線を駆動するゲートドライバIC、5はゲートド

ライバIC4が取付けられたゲートバス基板で、液晶表示パネル1の外周部の一边に配置されている。6は入力される信号を受け、ソースドライバIC2及びゲートドライバIC4に信号を出力するコントローラIC、7はコントローラIC6が取付けられた制御基板である。

【0003】このように構成された従来の液晶表示装置は、パラレルに入力されるクロック及びRGB各色nビットのデータ(6ビットの場合は、18本のデータとなる)は、コントローラIC6でタイミング調整のみ行われた後、ソースドライバIC2に供給されていたため、入力信号の周波数が高くなった場合EMI(Electro Magnetic Interferenceの略)の問題が大きかった。

【0004】

【発明が解決しようとする課題】従来のアクティブマトリクス型液晶表示装置は以上のように構成されており、入力周波数そのままソースドライバIC2を駆動するため、EMIのノイズレベルが高く、FCC(Federal Communications Commissionの略)やCISPR(Comite International Special des Perturbations Radioelectriquesの略)等の規格をクリアするのに、大変な時間と労力を要した。

【0005】この発明は、上記のような課題を解決するためになされたもので、EMIの発生を減らすことができる液晶表示装置を得ることを第一の目的とする。また、EMIの発生を減らすに当たり、配線数を増加させることのない液晶表示装置を得ることを第二の目的とする。

【0006】

【課題を解決するための手段】この発明に係る液晶表示装置においては、マトリクス状に配置されたスイッチング素子を有する画素部と、この画素部の外周部の一边に配置され、 $N$ グループ( $N$ は2以上の整数)に分割されてそれぞれに対応する第一の信号線を各別に駆動する複数の駆動回路と、この駆動回路の各分割グループに接続されると共に、外部から入力される信号の入力周波数を $1/N$ に分周して駆動回路に出力する制御回路を備え、制御回路は駆動回路が配置された画素部の外周部の同じ辺に配置され、制御回路と駆動回路を接続する複数の配線の一部と、残りの部分とが制御回路を挟んで互いに反対側に配置されているものである。また、制御回路は、外部から入力される信号を一時的に記憶するメモリを有しているものである。

【0007】また、制御回路のメモリは、 $N$ グループの駆動回路に対応して $N$ 個に分割され、一水平周期の信号を $N$ 個に分割して記憶するものである。さらに、制御回路は、分割された駆動回路グループ毎に、それぞれ対応する分割メモリに記憶された信号を入力周波数の $1/N$

の周波数で出力するものである。また、制御回路は、Nグループの駆動回路に対応して分割された1〜N番目のメモリに、一水平周期の信号をN個に分割して順次書込むと共に、N番目の書込み終了後に分割された駆動回路グループ毎に、それぞれ対応する分割メモリに記憶された信号を入力周波数の1/Nの周波数で並列に読出すものである。また、Nは、2である。加えて、制御回路は、画素部の外周部の駆動回路が配置された辺の中央部に配置されているものである。

【0008】

【発明の実施の形態】

実施の形態1、図1は、この発明の実施の形態によるアクティブマトリクス型液晶表示装置を示す図である。図において、1、3〜5は上記従来装置と同一のものであり、その説明を省略する。8は上記従来装置と同様のコントローラICであるが、ソースバス基板3上に配置されている。9、10はソースドライバICで、左右の2つのグループに分けられている。

【0009】図2は、この発明の実施の形態によるコントローラICを示す概略構成図である。図において、12、13はコントローラIC8内に内蔵されたラインメモリで、ラインメモリ12は水平周期の前半のデータすなわち画面上左半分のデータを記憶し、ラインメモリ13は、水平周期の後半のデータすなわち画面右半分のデータを記憶する。14はラインメモリ12、13に記憶されたデータをソースドライバIC9、10にそれぞれ出力するタイミングを制御するタイミングコントローラである。

【0010】図3は、この発明の実施の形態による入力と出力の信号タイミングを示す図である。このように構成された液晶表示装置においては、図1に示すように外部よりの信号は、まずコントローラIC8に入力されるが、ここでまず図2のように1水平ライン目のデータの前半分をメモリするラインメモリ12と、後半分をメモリするラインメモリ13に分けて書込み、それぞれをタイミングコントローラ14に入力してタイミング調整を行う。タイミングコントローラ14より読出される信号を、それぞれ水平ラインの前半分を駆動するソースドライバIC9と後半分を駆動するソースドライバIC10とに、周波数を1/2に分周して分配する。ここで、ラインメモリへの信号の書込みは、ラインメモリ12、ラインメモリ13の順で書込み、ラインメモリ13への書込み終了後にラインメモリ12、ラインメモリ13から信号を並列に読出すよう構成されている。すなわち、1画面を左右の半分に分け、それぞれ独立して走査してゆく。従って図3に示すように本来必要とされる周波数の1/2でコントロールできる。その駆出力信号数は従来の2倍の本数となるが、図1に示すようにコントローラIC8をソースバス基板3の中央に配置することにより、見かけ上従来と同一本数となる。従って、データの

周波数のみ1/2に低減できる。

【0011】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を生ずる。マトリクス状に配置されたスイッチング素子を有する画素部と、この画素部の外周部の一辺に配置され、Nグループ（Nは2以上の整数）に分割されてそれぞれに対応する第一の信号線を各別に駆動する複数の駆動回路と、この駆動回路の各分割グループに接続されると共に、外部から入力される信号の入力周波数を1/Nに分周して駆動回路に出力する制御回路を備え、制御回路は駆動回路が配置された画素部の外周部の同じ辺に配置され、制御回路と駆動回路を接続する配線の配線の一部と、残りの部分とが制御回路を挟んで互いに反対側に配置されているので、制御回路と駆動回路を接続する配線数の増加を少なくとどめながら、制御回路から駆動回路への出力周波数を入力周波数の1/Nにでき、このため電磁波雑音を減少させることができる。

【0012】また、制御回路は、外部から入力される信号を一時的に記憶するメモリを有しているので、簡単に制御回路から駆動回路への出力周波数を入力周波数の1/Nとすることができる。また、制御回路のメモリは、Nグループの駆動回路に対応してN個に分割され、一水平周期の信号をN個に分割して記憶するので、分割したメモリ毎に出力できる。また、制御回路は、Nグループの駆動回路に対応してN個に分割された1〜N番目のメモリに、一水平周期の信号をN個に分割して順次書込むと共に、N番目の書込み終了後に分割された駆動回路グループ毎に、それぞれ対応する分割メモリに記憶された信号を入力周波数の1/Nの周波数で並列に読み出すようにしたので、制御回路の処理速度を減少させることなく制御回路から駆動回路への出力周波数を入力周波数の1/Nにでき、電磁波雑音を減少させることができる。

【0013】また、Nは、2であるので、制御回路と駆動回路を接続する配線数の増加がない。加えて、制御回路は、画素部の外周部の駆動回路が配置された辺の中央部に配置されているので、制御回路と駆動回路を接続する配線数の増加を最小にすることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態による液晶表示装置を示す概略構成図である。

【図2】 この発明の実施の形態によるコントローラICを示す概略構成図である。

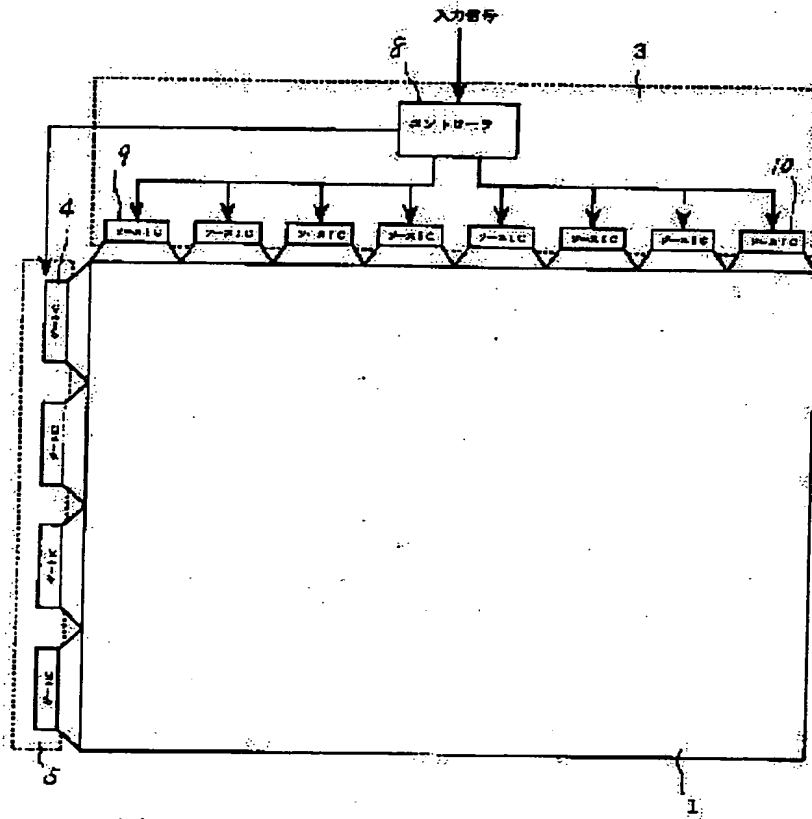
【図3】 この発明の実施の形態による入力と出力の信号タイミングを示す図である。

【図4】 従来の液晶表示装置を示す概略構成図である。

【符号の説明】

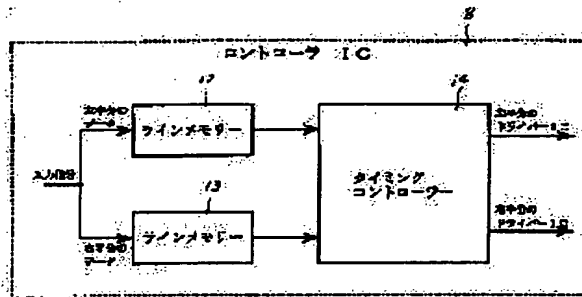
8 コントローラIC、9、10 ソースドライバIC、12、13 ラインメモリ。

【図1】

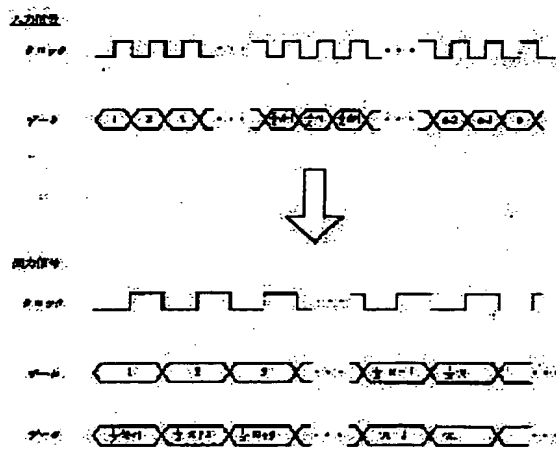


- 1: パネル
- 9, 10: ソースドライバ
- 3: ソースバス基板
- 8: コントローラIC

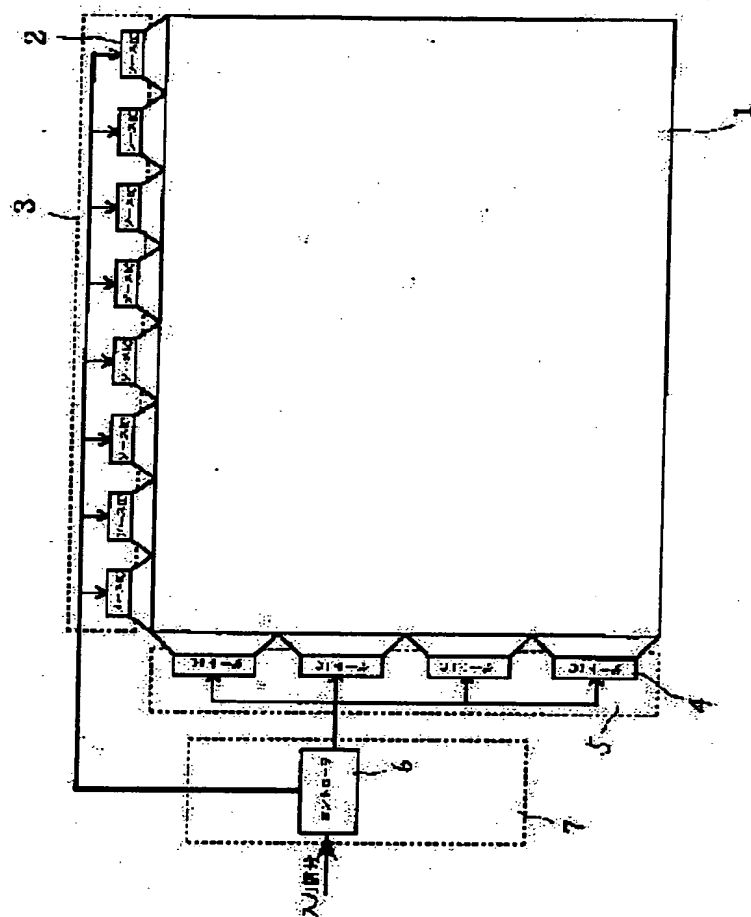
【図2】



【図3】



【图4】



**<JP 10-207434>**

Application No. : **9-13779**

Application Date: **January 28 1997**

Applicant:

**ADVANCED DISPLAY:KK**

Inventors:

**ADVANCED DISPLAY:KK**

Title : **LIQUID CRYSTAL DISPLAY DEVICE**

**<Abstract>**

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of reducing the generation of EMI without increasing the number of wires.

SOLUTION: A controller IC8 is arranged in a source bus substrate 3, source bus drivers IC9 and 10 for driving a source bus are divided into two left and right groups, a line memory incorporated in the controller IC8 is divided into two corresponding to the two source bus drivers IC9 and 10, one line memory stores the former half data of a horizontal cycle, that is, left half data on a screen, the other line memory stores latter half data of the horizontal cycle, that is, right half data on the screen, and the controller IC8 outputs the data of the two line memories in parallel with each other to the source drivers 9 and 10 by a frequency 1/2 of an input frequency.